

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 5 日
Date of Application:

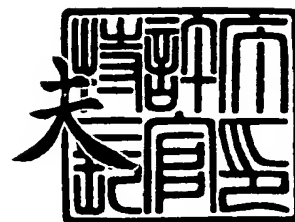
出 願 番 号 特 願 2 0 0 2 - 3 5 3 7 3 5
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 5 3 7 3 5]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 3 年 1 1 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 P02S0009A1

【提出日】 平成14年12月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 16/06

【発明の名称】 不揮発性メモリ装置

【請求項の数】 4

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 永廣 雅之

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 井上 剛至

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 栗屋 信義

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

 【電話番号】 06-6621-1221

【代理人】

 【識別番号】 100114476

 【弁理士】

 【氏名又は名称】 政木 良文

 【電話番号】 06-6233-6700

【選任した代理人】**【識別番号】** 100107478**【弁理士】****【氏名又は名称】** 橋本 薫**【電話番号】** 06-6233-6700**【手数料の表示】****【予納台帳番号】** 072856**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【物件名】** 包括委任状 1**【援用の表示】** 平成 1 4 年 1 2 月 3 日付で提出の包括委任状を援用します。**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 不揮発性メモリ装置

【特許請求の範囲】

【請求項 1】 マンガンを含むペロブスカイト構造の酸化物で形成され、電圧パルスの印加により電気抵抗が変化し、且つ、前記電圧パルスの電圧振幅の大小により前記電気抵抗の変化量が異なる可変抵抗素子を備えて構成されたメモリセルをマトリクス状に複数配列してなるメモリセルアレイと、

1つの消去状態と2以上の書き込み状態に対応する3値以上の多値データを前記可変抵抗素子に書き込むために、前記書き込み状態に対応する2以上の異なる電圧振幅の書き込みパルスを、書き込みデータに応じて各別に発生可能な書き込みパルス発生回路と、を備えてなることを特徴とする不揮発性メモリ装置。

【請求項 2】 前記可変抵抗素子が、前記電圧振幅が所定電圧以下において、前記電圧振幅を増加させると電気抵抗が単調に増加または減少する電圧－抵抗特性を有し、

前記書き込みパルスの前記電圧振幅が、前記消去状態にある前記可変抵抗素子に対して前記書き込みパルスを印加した場合、前記消去状態における第1抵抗値から前記第1抵抗値のバラツキの範囲以上に抵抗値が変化するに十分な電圧振幅の最小値で与えられる書き込み識別限界電圧以上であることを特徴とする請求項1に記載の不揮発性メモリ装置。

【請求項 3】 前記可変抵抗素子が、前記電圧振幅が所定電圧以下において、前記電圧振幅を増加させると電気抵抗が単調に増加または減少し、更に、前記電圧振幅の微小増加に対する前記電気抵抗の微小増加または減少量が最大となる最大抵抗変化電圧の存在する電圧－抵抗特性を有し、

前記書き込みパルスの前記2以上の異なる電圧振幅の少なくとも一つが前記最大抵抗変化電圧以下で、他の少なくとも一つが前記最大抵抗変化電圧以上であることを特徴とする請求項1または2に記載の不揮発性メモリ装置。

【請求項 4】 マンガンを含むペロブスカイト構造の酸化物で形成され、電圧パルスの印加により電気抵抗が変化し、且つ、前記電圧パルスの電圧振幅の大小により前記電気抵抗の変化量が異なる可変抵抗素子を備えて構成されたメ

メモリセルをマトリクス状に複数配列してなるメモリセルアレイと、

1つの消去状態と1つの書き込み状態に対応する2値データを前記可変抵抗素子に書き込むために、前記書き込み状態に対応する2以上の異なる電圧振幅の書き込みパルスを、書き込みデータに応じて各別に発生可能な書き込みパルス発生回路と、を備えてなり、

前記可変抵抗素子が、前記電圧振幅が所定電圧以下において、前記電圧振幅を増加させると電気抵抗が単調に増加または減少する電圧－抵抗特性を有し、

前記書き込みパルスの前記電圧振幅が、前記消去状態にある前記可変抵抗素子に対して前記書き込みパルスを印加した場合、前記消去状態における第1抵抗値から前記第1抵抗値のバラツキの範囲以上に抵抗値が変化するに十分な電圧振幅の最小値で与えられる書き込み識別限界電圧以上であることを特徴とする不揮発性メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性メモリに関し、詳しくは、電気抵抗の変化する可変抵抗素子をメモリセルに用いて、当該電気抵抗の変化を利用して1つのメモリセルに2値または3値以上の多値データを記憶可能な不揮発性メモリに関する。

【0002】

【従来の技術】

不揮発性メモリ装置は、携帯電話機、ICカード、デジタルカメラ装置などの携帯機器に搭載され、広く普及している。近年、画像データが取り扱われる機会が増え、より大量のデータを記憶でき、且つ、高速に動作する不揮発性メモリ装置への要求が高まってきた。また、携帯機器用途であるので、低消費電力への要求も依然強くある。

【0003】

このような状況下において現在の主流である不揮発性メモリ装置はフローティングゲートに蓄積する電荷を制御してデータの記憶を行うフラッシュメモリであるが、このフラッシュメモリはフローティングゲートに高電界で電荷を蓄積する

構造であるので、セル構造が複雑で高集積化を行う上で障害となっている。

【0004】

この問題を解決する不揮発性メモリ装置として、電氣的消去可能相転移メモリ (Ovonic Unified Memory、OUMメモリ) が提案されており、例えば、特開平5-21740号公報に開示されている (特許文献1 参照)。即ち、特開平5-21740号公報には、メモリ層を電氣的に結晶状態—非結晶状態の2種類の状態を利用することで書き込み—消去を行う電氣的消去可能相転移メモリが開示されている。メモリセル構造がフラッシュメモリに比べ簡単であるため、理論的にフラッシュメモリより高集積化が可能である。

【0005】

不揮発性メモリの記憶容量不足を解決するための他の技術として、1つのメモリセルに3値以上の多値データを記憶する多値不揮発性メモリ技術があり、特開2002-203392号公報には、OUMメモリを用いて多値データを記憶する多値不揮発性メモリ装置が開示されている (特許文献2 参照)。

【0006】

【特許文献1】

特開平5-21740号公報

【特許文献2】

特開2002-203392号公報

【0007】

【発明が解決しようとする課題】

しかし、上記従来技術のOUMメモリは、メモリ層を電氣的に制御して結晶状態—非結晶状態の2種類の状態に変化することでデータを記憶する原理であるため、単一特性材料の可変抵抗素子に3値以上の多値レベルの状態を正確に制御し記憶させることが困難であるという問題がある。上記特開2002-203392号公報に開示されている多値不揮発性メモリ装置のメモリ素子は、特性 (結晶化温度、結晶化時間、融点温度) の異なるOUM材料を積層した複数層を備えて多値メモリ装置を実現しているが、製造工程が増えるという問題がある。また、書き込みレベル数が増加すると、それに対応して必要となるOUM材料の種類も増

加するという問題もある。また、メモリ層に接近して備えた発熱手段により温度制御を電氣的に行うことで可変抵抗素子への書き込み・消去の制御を行うので、隣接セル間の熱的ディスタースを回避する配慮が必要である。また、電氣的手段で熱を発生させる必要があるので、書き込み電流は現在、1メモリセル当り1mA程度とかなり大きく、それに対応して配線を太くする必要があるためメモリセル面積の単純縮小が困難という問題もある。従って、製造プロセスルールの縮小に比例してメモリセルを単純縮小することができない、即ち、電氣的特性のみを考慮したスケーリング則が適用できないという問題がある。現在のOUM材料に対するシミュレーションでは、メモリセルサイズの限界は $0.065\mu\text{m}$ とされている（例えば、「第42回日経マイクロデバイスセミナー、不揮発性メモリ技術最前線、P. 1-26」を参照）。

【0008】

以上のように、従来の技術による不揮発性メモリ装置では、記憶容量が大きく、且つ、高速動作が行え、更に、低消費電力であるというユーザ要望を十分に満たすことができない。

【0009】

本発明は、上述の問題点に鑑みてなされたものであり、その目的は、上記問題点を解消し、且つ高集積化が可能な不揮発性メモリ装置を提供することにある。また、高集積化に加え、高速動作可能な不揮発性メモリ装置を提供することにある。

【0010】

【課題を解決するための手段】

この目的を達成するための本発明に係る不揮発性メモリ装置は、マンガンを含有するペロブスカイト構造の酸化物で形成され、電圧パルスの印加により電氣抵抗が変化し、且つ、前記電圧パルスの電圧振幅の大小により前記電氣抵抗の変化量が異なる可変抵抗素子を備えて構成されたメモリセルをマトリクス状に複数配列してなるメモリセルアレイと、1つの消去状態と2以上の書き込み状態に対応する3値以上の多値データを前記可変抵抗素子に書き込むために、前記書き込み状態に対応する2以上の異なる電圧振幅の書き込みパルスを、書き込みデータに

応じて各別に発生可能な書き込みパルス発生回路と、を備えてなることを特徴とする。

【0011】

上記特徴構成によれば、メモリセルにマンガンを含有するペロブスカイト構造の酸化物で形成された電圧パルスの印加により電気抵抗の変化する可変抵抗素子を使用するため、例えば、7 V以下の電圧振幅で且つ100 ns以下のパルス幅の書き込みパルスの印加で、1桁乃至2桁以上の抵抗変化が得られ、高速且つ低電力でのデータ書き込みが実現できる。また、書き込み時に熱などの隣接するメモリセルに影響するストレスを用いないため、電気的特性のみを考慮したスケールリング則を適用でき、製造プロセスの微細化によるメモリセルの縮小が可能となる。また、電圧パルス印加で大きな抵抗変化が得られ、その電圧振幅の大小で2以上のデータを単体メモリセルに選択的に書き込みできるため、単体メモリセルに多値データを記憶することが可能となり、大容量化が図れる。この結果、大容量化、低消費電力化、高速化の同時に実現できる不揮発性メモリ装置を提供することが可能となる。また、メモリセルは、高耐圧構造や特性の異なる材料からなる積層構造は基本的に必要でないので、製造が容易な多値メモリ装置を提供することが可能となる。

【0012】

尚、本願において、電圧パルスの電圧振幅とは、パルスの極性に関係なくその印加電圧の絶対値を意味する。

【0013】

更に、本発明に係る不揮発性メモリ装置は、前記可変抵抗素子が、前記電圧振幅が所定電圧以下において、前記電圧振幅を増加させると電気抵抗が単調に増加または減少する電圧－抵抗特性を有し、前記書き込みパルスの前記電圧振幅が、前記消去状態にある前記可変抵抗素子に対して前記書き込みパルスを印加した場合、前記消去状態における第1抵抗値から前記第1抵抗値のバラツキの範囲以上に抵抗値が変化するに十分な電圧振幅の最小値で与えられる書き込み識別限界電圧以上であることを特徴とする。

【0014】

この特徴構成によれば、書き込みパルス印加後の可変抵抗素子の抵抗値が、メモリセルアレイ内の消去状態にある他のメモリセルの抵抗値と識別可能となり、書き込み不良を防止できる。つまり、2値メモリ装置または3値以上の多値メモリ装置として利用できる。

【0015】

更に、本発明に係る不揮発性メモリ装置は、前記可変抵抗素子が、前記電圧振幅が所定電圧以下において、前記電圧振幅を増加させると電気抵抗が単調に増加または減少し、更に、前記電圧振幅の微小増加に対する前記電気抵抗の微小増加または減少量が最大となる最大抵抗変化電圧の存在する電圧－抵抗特性を有し、前記書き込みパルスの前記2以上の異なる電圧振幅の少なくとも一つが前記最大抵抗変化電圧以下で、他の少なくとも一つが前記最大抵抗変化電圧以上であることを特徴とする。

【0016】

この特徴構成によれば、2以上の書き込み状態に対応する抵抗値の差を大きく設定でき、高速且つ安定した読み出し動作が可能となる。また、3以上の書き込み状態を設定する場合にも、各書き込み状態間での抵抗値の差を大きく設定でき、多値化による記憶容量の増大が図れる。

【0017】

【発明の実施の形態】

本発明に係る不揮発性メモリ装置（以下、適宜「本発明装置」という。）の実施の形態につき、図面に基づいて説明する。

【0018】

図1は、本発明装置100の機能ブロック構成図である。本発明装置100は、外部から入力される16ビットの2値データを8つのメモリセルに書き込み記憶する機能を有するものである。各メモリセルは、4値データ（2ビット）を記憶することができる。

【0019】

本発明装置100は、入力レベル検出回路1、書き込みデータラッチ回路2、書き込みパルス発生回路3、比較・判定回路4、ロウ・デコーダ5、カラム・デ

コード 6、メモリセルアレイ 7、書き込み電圧発生回路 8 を備えている。また、図示しないが、機能ブロック全体を制御する制御回路、及びメモリセルから記憶された情報を読み出す読み出し回路を備えている。

【0020】

メモリセルアレイ 7 は、情報（データ）記憶部である。n 本のビット線 71、k 本のワード線 72、 $n \times k$ 個のメモリセルが備えられている。各メモリセルには、可変抵抗素子 70 と選択トランジスタ 73 が備えられている。可変抵抗素子 70 として、電圧パルスの印加により電気抵抗が変化し、且つ、電圧パルスの電圧振幅の大小により電気抵抗の変化量が異なる可変抵抗素子を用いて、各可変抵抗素子 70 に 4 通りの抵抗値を設定することで、4 値データを記憶する。

【0021】

上記特性を有する可変抵抗素子 70 として RRAM (Resistance control nonvolatile Random Access Memory) 素子を用いる。RRAM 素子は、電氣的ストレスの印加により電気抵抗が変化し、電氣的ストレス解除後も変化した電気抵抗が保持されることにより、その抵抗変化でデータの記憶が可能な不揮発性の記憶素子で、例えば、 $\text{Pr}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 、 $\text{La}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 、または、 $\text{La}_{(1-x-y)}\text{Ca}_x\text{Pb}_y\text{MnO}_3$ （但し、 $x < 1$ 、 $y < 1$ 、 $x + y < 1$ ）で表される何れかの物質、例えば、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.35}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.175}\text{Pb}_{0.175}\text{MnO}_3$ 等のマンガ酸化膜を MOCVD 法、スピコーティング法、レーザアブレーション、スパッタリング法等で成膜して作製される。また、電氣的ストレスとして RRAM 素子の電極間に電圧パルスを印加し、そのパルス幅、電圧振幅またはその両方を調整することにより RRAM 素子の抵抗変化量を制御できる。本実施の形態では、電圧振幅を調整して抵抗変化量を制御する。後述するが、上記 RRAM 素子の場合、電圧振幅が大きい程、抵抗変化が大きく、電圧パルス印加後の抵抗値は高くなる。

【0022】

入力レベル検出回路 1 は、本発明装置 100 の外部から入力される 16 ビット

(2 値信号) の入力データ $I/O_0 \sim I/O_F$ に基づいて、書き込み対象のメモリセルに印加する書き込みパルスの電圧振幅を検出するための、書き込み電圧検出データ A_i, B_i, C_i, D_i ($i=1 \sim 8$) を発生する。また A_i, B_i, C_i, D_i は夫々 1 ビットで、各 1 組が 4 ビットデータで構成される。各 1 組の A_i, B_i, C_i, D_i は、夫々入力データの 2 ビットに対応する。尚、16 ビットの入力信号 $I/O_0 \sim I/O_F$ は、簡易化のため $I/O_0 \sim F$ と表現することもある。

【0023】

書き込みデータラッチ回路 2 は、書き込み電圧検出データ A_i, B_i, C_i, D_i ($i=1 \sim 8$) の各データを所定の方式でラッチする回路である。

【0024】

書き込み電圧発生回路 8 は、4 種類の書き込みパルスの電圧振幅に対応する書き込みパルス基準電圧を生成する。

【0025】

書き込みパルス発生回路 3 は、書き込みデータラッチ回路 2 から入力されるラッチされた書き込み電圧検出データ A'_i, B'_i, C'_i, D'_i ($i=1 \sim 8$) と書き込み電圧発生回路 8 から入力される書き込みパルス基準電圧に基づいて所望の電圧振幅の書き込みパルスを、カラム・デコーダ 6 で選択されたビット線 72 に印加する回路である。

【0026】

比較・判定回路 4 は、メモリセルアレイ 7 内のメモリセルからビット線 72 に読み出されたデータが、4 種類の多値レベルのどのデータ値であるかを比較・判定する回路である。

【0027】

ロウ・デコーダ 5 は、外部から本発明装置 100 に入力されたロウ・アドレスデータをデコードし、所望のワード線 71 を選択する回路である。

【0028】

カラム・デコーダ 6 は、外部から本発明装置 100 に入力されたカラム・アドレスデータをデコードし、所望のビット線 72 を選択する回路である。

【0029】

次に、上記各ブロックの詳細につき説明する。図2は、メモリセルアレイ7の構成を示す図である。メモリセルアレイ7には、k本のワード線71、n本のビット線72、 $n \times k$ 個のメモリセルが備えられている。また、16ビットの2値データを8つのメモリセルに書き込み記憶するため、nは8の整数倍で、 $n = 8 \times m$ である。各メモリセルには、可変抵抗素子70と選択トランジスタ73が備えられている。選択トランジスタ73はN型MOSトランジスタである。選択トランジスタ73のゲート電極にはワード線71が接続されている。選択トランジスタ73のソース電極にはソース線74が接続されている。また、選択トランジスタ73のドレイン電極には可変抵抗素子70の一方の電極が接続され可変抵抗素子70の他方の電極はビット線72に接続されている。

【0030】

図3は、メモリセルの動作を説明するための図で、4つのメモリセルより構成されている。2本のワード線WL1、WL2のうち、WL1には低レベル（例えば0V）が印加されWL2には高レベル（例えば5V）が印加されている状態を示している。選択トランジスタ73のTR12とTR11は共にオフ状態、選択トランジスタ73のTR22とTR21は共にオン状態であるので、ワード線方向には、WL2に接続されたメモリセルが選択されている。ビット線方向には、選択したビット線72に接続するメモリセルが選択され、選択されたワード線71とビット線72に接続するメモリセルが、書き込み・消去・読み出しの各動作の対象として選択される。

【0031】

図4乃至図6はメモリセルの動作原理を示す図である。何れの場合もワード線71には高レベルの6Vを印加し、選択トランジスタTR21をオン状態としている。なお、ロウ・デコーダ5には、6Vを発生するためのブースト回路が備えられている。

【0032】

図4は書き込み動作を行うときの電圧パルスの印加状態を示す図である。ソース線74を0Vに設定し、ビット線72に所定の電圧振幅の正極性の書き込みパ

ルスを印加して可変抵抗素子 7 0 に所望のデータを書き込む。書き込みパルスの電圧振幅は、1 6 ビットデータを書き込むために 8 つのメモリセルの夫々に割り当てられる 4 値データの各書き込みデータに対応して決定される所定の電圧振幅である。ここでは、4 値データを 1 つの可変抵抗素子に書き込むために、4 種類の電圧振幅 5 V、4. 2 V、3. 5 V、0 V の内の 1 つを選択して書き込み動作を行う。また、書き込みパルス幅は、2 0 n 秒乃至 1 0 0 n 秒の範囲であればよい。

【0 0 3 3】

図 5 は消去動作を行うときの電圧パルスの印加状態を示す図である。消去時は、ビット線 7 2 に 0 V を印加し、ソース線 7 4 に電圧振幅 5 V の正極性のパルス（消去パルス）を印加する。消去パルスを印加することで可変抵抗素子 7 0 の電気抵抗は最小の値となる。同時に複数のビット線 7 2 に 0 V を印加した状態でソース線 7 4 に消去パルスを印加すると、その複数のビット線 7 2 とソース線 7 4 に接続する複数のメモリセルが同時に一括消去される。

【0 0 3 4】

図 6 は読み出し動作を行うときの電圧印加状態を示す図である。可変抵抗素子 7 0 の記憶データを読み出す場合は、ソース線 7 4 を 0 V に設定し、所定の読み出し電圧（例えば 1. 0 V）を読み出し回路を経由して選択したビット線 7 2 に印加し、比較判定回路でビット線 7 2 のレベルを読み出し用のリファレンスレベルと比較して記憶データを読み出す。

【0 0 3 5】

図 7 及び図 8 は、可変抵抗素子 7 0 の両端に印加する書き込みパルスの電圧振幅と可変抵抗素子 7 0 の電気抵抗の関係を示す特性図である。図 7 は縦軸の可変抵抗素子 7 0 の電気抵抗を対数スケールで、図 8 は線形スケールで表示している。図 7 及び図 8 に示す特性曲線より、電圧振幅を増加させると電気抵抗が単調に増加していることが分かる。また、電圧振幅の領域として、書き込みパルスを印加しても大きな抵抗変化とならない、つまり抵抗変化率（電圧振幅の微小増加に対する電気抵抗の微小増加量の比率）の比較的小さな第 1 領域と、該第 1 領域よりも抵抗変化率の大きい第 2 領域と、それ以上電圧振幅を高くしても電気抵抗が

それ以上増加せずに飽和する第3領域の3領域の存在することが分かる。電圧振幅は、第1領域、第2領域、第3領域の順番に大きくなっている。前記第1領域には、消去状態から変化する抵抗値が、メモリセルアレイ7内の各メモリセルの消去状態における抵抗値（第1抵抗値）のバラツキの範囲以上には変化しない領域（書き込み識別不能領域）が含まれる。書き込み識別不能領域内にある電圧振幅の書き込みパルスを加えても、書き込みが行われたのか否かの識別ができない。即ち、電圧振幅と抵抗値が比例関係にあると想定して電源電圧と接地電圧間を単純に多値データの書き込みレベル数にて均等分割し書き込みパルスの電圧振幅を決定する方法では、異なる電圧振幅での書き込みを行っても、その結果得られる各データ値に対応する抵抗値がオーバーラップし、多値データを読み出すことができないからである。つまり、可変抵抗素子70を多値メモリとし活用することができないことになる。

【0036】

以降の説明の便宜上、4値データ（00、01、10、11）に対応する電圧振幅を W_{00} 、 W_{01} 、 W_{10} 、 W_{11} （ $W_{00} < W_{01} < W_{10} < W_{11}$ ）とする。図5の説明で例示したケースでは、 $W_{00} = 0\text{ V}$ 、 $W_{01} = 3.5\text{ V}$ 、 $W_{10} = 4.2\text{ V}$ 、 $W_{11} = 5\text{ V}$ である。但し、 W_{00} は消去状態に対応し、実際には書き込みパルスは印加されないで、書き込み状態における最小の電圧振幅は W_{01} となる。

【0037】

最小電圧振幅 W_{01} にて書き込みを行うときの電圧振幅の条件としては、少なくとも第1抵抗値に第1抵抗値のバラツキ分を加算した値より大きな抵抗値が得られる電圧振幅の書き込みパルスにて書き込みを行うことが必須の条件となる。このような電圧振幅の最小値を書き込み識別限界電圧（ V_{WLL} ）と称す。

【0038】

また、2値メモリ装置における書き込みパルスの電圧振幅についても、書き込み識別限界電圧（ V_{WLL} ）よりも大きいことが必須の条件となる。

【0039】

今回作製したデバイスでは、消去時の抵抗値のバラツキは $20\text{ K}\Omega \pm 2\text{ K}\Omega$ で

ある。従って、書き込みパルスの電圧振幅として、 $22\text{ K}\Omega$ 以上の抵抗値が得られる電圧振幅（書き込み識別限界電圧 V_{WLL} ）を越える電圧振幅を選択する必要がある。図7に示す特性では、書き込み識別限界電圧 V_{WLL} は 1.5 V である。書き込み識別限界電圧以下の電圧振幅の書き込みパルスで書き込みを行っても可変抵抗素子70の抵抗値は書き込みを識別できる程度には変化しない。従って、消去状態（レベル00）の次のレベル（レベル01）に書き込みを行う場合は、最小電圧振幅 $W01$ を 1.5 V より大きく設定する必要がある。更に、最大バラツキの抵抗値 $22\text{ K}\Omega$ よりさらバラツキの最大値 $2\text{ K}\Omega$ 分大きい $24\text{ K}\Omega$ となる電圧振幅を選択することが望ましい。

【0040】

図9は、可変抵抗素子70の抵抗変化率を縦軸に、書き込みパルスの電圧振幅を横軸にした場合の可変抵抗素子70の電気抵抗の抵抗変化率特性を示す特性図である。抵抗変化率の最大値を示す電圧（変化率最大電圧 V_P と称す。）は、略 4.2 V である。電圧振幅に対する可変抵抗素子70の抵抗変化率が最も大きいところは、書き込みデータに対応して複数ある書き込みパルスの電圧振幅のセンター電圧として選択することが好ましいので、電圧振幅のセンター値 $W10$ を 4.2 V に設定した。本実施形態では、電源電圧が 5.0 V であり、電圧振幅 $W10$ と最大電圧振幅 $W11$ との抵抗差を大きく取るため、 $W11$ を 5.0 V に設定した。また、最小電圧振幅 $W01$ は、書き込み識別限界電圧 V_{WLL} 以上且つ変化率最大電圧 V_P 以下であることが条件となる。図9に、最小電圧振幅 $W01$ の適正範囲を図示する。これより、電圧振幅 $W01$ の適正範囲は 1.5 V 以上且つ 4.2 V 以下となるので、 3.5 V と設定した。

【0041】

尚、上記第3領域（飽和領域）の電圧振幅は書き込みパルスとして使用するには好ましくない。これは、書き込みパルスの電圧振幅に対する抵抗変化率が非常に小さい上に高電圧を印加することによる可変抵抗素子70の劣化の虞が比較的大きいからである。以上より、4値データを書き込むための電圧振幅として、消去状態を保持する 0 V と、3つの書き込み状態に設定するための 2 V 以上且つ 8 V 以下範囲で定める3点の合計4点を選択した。書き込みパルスが 2 V 以上且つ

5 V以下の範囲で定める3点の電圧振幅夫々にて書き込んだ場合の抵抗差を容易に識別するため、本実施の形態では、3.5 V、4.2 V、5 Vの3種類の電圧振幅にて書き込む。後述する書き込み電圧発生回路では、3.5 V、4.2 V、5 Vの3種類の電圧を発生するよう設定してある。

【0042】

図10は、可変抵抗素子70の両端に印加する書き込みパルスのパルス幅と可変抵抗素子70の電気抵抗との関係を示す特性図である。消去動作を行う消去パルスは、電圧振幅は5 Vである。また、パルス幅は20 n秒乃至50 n秒で変化させた。評価した複数のメモリセルと評価したパルス幅のバラツキ範囲内において消去時の抵抗値のバラツキは、 $20\text{ K}\Omega \pm 2\text{ K}\Omega$ 内にある。書き込みパルスの電圧振幅は5 Vである。書き込みパルスの電圧振幅印加時間（パルス幅）が20 n秒以上であれば、消去時と書き込み後の抵抗値は20倍以上の差がある。経験的に可変抵抗素子の消去時と書き込み時の抵抗変化が20%程度であれば2値記憶が可能であるので、消去時の抵抗値と書き込みパルスの最大電圧振幅で書き込んだ時の抵抗値の差が、1.2の15乗＝18.5倍以上あれば16値の記憶が可能である。従って、本特性を示す可変抵抗素子70の場合、4値情報を書き込むには十分の抵抗差であることが分かる。従って、以下の実施例では4値情報を記憶するメモリセルについて説明するが、1つのメモリセルに記憶するデータは4値データに限定されない。

【0043】

図11は、入力レベル検出回路1を示す回路ブロック図である。入力レベル検出回路1は、本発明装置100の外部から入力される16ビット（2値信号）の入力データ $I/O_0 \sim I/O_F$ に基づいて、対応する書き込みパルスの電圧振幅が、4種類の内の何れの電圧であるかを検出して書き込み電圧検出信号A1乃至A8を生成するものである。つまり、本発明装置100の外部から入力された入力データを2ビット毎にデコードし、8つの可変抵抗素子70に書き込むための書き込みパルス電圧検出信号 A_i 、 B_i 、 C_i 、 D_i ($i=1\sim 8$)（各4ビット）を生成するものである。入力レベル検出回路1は、図12に示す入力レベル検出回路ユニット10を8回路備えている。入力レベル検出回路ユニット10に

は、16ビット入力データ $I/O_0 \sim F$ の連続した2ビットのデータからなる8組の書き込みレベル検出入力データ、即ち、 $I/O_0 \sim 1$ 、 $I/O_2 \sim 3$ 、 $I/O_4 \sim 5$ 、 $I/O_6 \sim 7$ 、 $I/O_8 \sim 9$ 、 $I/O_A \sim B$ 、 $I/O_C \sim D$ 、 $I/O_E \sim F$ の8組が各別に入力される（ $i = 1 \sim 8$ に順番に対応する。）。各組の書き込みレベル検出入力データは入力レベル検出回路ユニット10に入力され、書き込みレベル検出入力データに基づき、所定のメモリセルに書き込むべき4値データが、4値レベルのどのレベルに該当するかを検出し、4種類の電圧振幅 W_{00} 、 W_{01} 、 W_{10} 、 W_{11} の何れかに対応づけた書き込みレベル検出データ A_i 、 B_i 、 C_i 、 D_i （ $i = 1 \sim 8$ の8通り）を生成する。書き込みレベル検出入力データ I/O （各2ビットの上位ビットと下位ビット）と、書き込みレベル検出データ A_i 、 B_i 、 C_i 、 D_i と、書き込みパルスの電圧振幅 W_{00} 、 W_{01} 、 W_{10} 、 W_{11} との関係を表1に示す。

【0044】

【表1】

| I/O 上位 ビット | I/O 下位 ビット | A_i | B_i | C_i | D_i | 電圧振幅 |
|--------------------|--------------------|-------|-------|-------|-------|--------------------|
| 1 | 1 | 1 | 0 | 0 | 0 | W_{11} (5V) |
| 1 | 0 | 0 | 1 | 0 | 0 | W_{10} (4.2V) |
| 0 | 1 | 0 | 0 | 1 | 0 | W_{01} (3.5V) |
| 0 | 0 | 0 | 0 | 0 | 1 | W_{00} (0V) |

【0045】

尚、書き込みパルスの電圧振幅は、上述の如く、 $W_{00} < W_{01} < W_{10} < W_{11}$ の関係にある。また、16ビット入力データ $I/O_0 \sim F$ 、書き込みレベル検出データ A_i 、 B_i 、 C_i 、 D_i は、2値の論理値データ（各1ビット）であり、電圧振幅 W_{00} 、 W_{01} 、 W_{10} 、 W_{11} はアナログ値である。2ビットの書き込みレベル検出入力データから生成された書き込みレベル検出データは、A

i , B_i , C_i , D_i からなる 4 ビットデータで、書き込みデータラッチ回路 2 に入力されて、8 つの可変抵抗素子単位で、ラッチされる。

【0046】

図 13 は、書き込みデータラッチ回路 2 を示す回路ブロック図である。書き込みデータラッチ回路 2 は、# 1 から # m の m 個の書き込みデータラッチ回路ユニット 20 で構成されている。各書き込みデータラッチ回路ユニット 20 には、カラム・デコーダ 6 から入力される選択信号 Y_i ($i=1\sim m$) の 1 ビット信号が入力される。 Y_i は、# i の書き込みデータラッチ回路ユニット 20 の選択信号である。図 14 は、書き込みデータラッチ回路ユニット 20 の具体的な回路構成を示す回路図である。書き込みデータラッチ回路ユニット 20 は、さらに # 1 から # 8 の 8 個の書き込みデータラッチ回路サブユニット 21 で構成されている。各書き込みデータラッチ回路サブユニット 21 には、選択信号 Y_i とその反転信号、及び、入力レベル検出回路 1 にてデコードされた書き込み電圧検出信号 A_i , B_i , C_i , D_i の内の 1 つの可変抵抗素子 70 に対応する 1 組 (4 ビット) が入力されている。書き込みデータラッチ回路ユニット 20 にはデータラッチ回路サブユニット 21 が 8 ユニット備えられているので、書き込み電圧検出信号 A_i , B_i , C_i , D_i が 8 組 ($i=1\sim 8$ の 8 組)、合計 32 ビットのデータが入力される。この 32 ビットのデータは、# 1 から # m までの全ての書き込みデータラッチ回路ユニット 20 に共通に入力されているが、選択信号 Y_i にて選択された 1 つの書き込みデータラッチ回路ユニット 20 のみが書き込み電圧検出信号の 8 組合計 32 ビットのデータをラッチすることができる。即ち、8 つの可変抵抗素子 70 に対する書き込み電圧検出信号 (即ち、書き込みパルスの電圧振幅の情報) がラッチされる。各書き込みデータラッチ回路ユニット 20 は、4 ビット \times 8 組 = 32 ビットの情報をラッチし、ラッチした書き込み電圧検出データ A'_i , B'_i , C'_i , D'_i ($i=1\sim 8$) を書き込みパルス発生回路 3 に出力する。

【0047】

図 15 は、書き込みパルス発生回路 3 を示す回路ブロック図である。書き込みパルス発生回路 3 は、書き込みデータラッチ回路 2 にてラッチされた書き込み電

圧検出データ $A' i$, $B' i$, $C' i$, $D' i$ ($i = 1 \sim 8$) と、後述の書き込み電圧発生回路 8 から入力される電圧信号に基づいて、所望の書き込みパルスを、所望のメモリセルに印加する回路である。書き込みパルス発生回路 3 は、コラム・デコーダの出力 $Y i$ が入力され、選択された書き込みパルス発生回路のみがアクティブになる。即ち、非アクティブの場合は、出力は全て低レベルとなり、書き込みパルスを発生しない。アクティブの場合は、次の動作を行う。書き込みパルス発生回路 3 は、# 1 から # m までの m 個の書き込みパルス発生回路ユニット 30 が備えられている。書き込みパルス発生回路ユニット 30 の全てにラッチ後の書き込み電圧検出データ $A' i$, $B' i$, $C' i$, $D' i$ ($i = 1 \sim 8$) (32 ビット) と、書き込み電圧発生回路 8 から 3 種類のアナログ電圧信号 (電圧振幅 $W11$, $W10$, $W01$) に対応する書き込みパルス基準電圧 (5 V, 4.2 V, 3.5 V) が入力される。

【0048】

図 16 は、書き込みパルス発生回路ユニット 30 の回路構成を示す回路図である。書き込みパルス発生回路ユニット 30 は、# 1 乃至 # 8 の 8 つの書き込みパルス発生回路サブユニット 31 を備えている。また、書き込みパルス発生回路サブユニット 31 は、# 1 ~ # 3 の 3 つの第 1 シングルパルス発生回路 32 と一つの第 2 シングルパルス発生回路 33 と # 1 ~ # 3 の P 型 MOS トランジスタ及び一つの N 型 MOS トランジスタが備えられている。# 1 ~ # 3 のシングルパルス発生回路 32 は、「1」の信号が入力されて選択されると、図示しない制御手段から出力される書き込みイネブル信号のタイミングで「0」の期間が 50 n 秒のシングルパルスを発生する。各 P 型 MOS トランジスタのソース電極に書き込みパルス基準電圧が各別に入力され、3 つのシングルパルス発生回路 32 の各出力パルスが P 型 MOS トランジスタの各ゲート電極に入力されるので、出力パルスの入力された 1 つの P 型 MOS トランジスタのみ、そのソース電極に接続した書き込みパルス基準電圧の電圧振幅で、高レベル期間が 50 n 秒のシングルパルスを発生する。

【0049】

例えば、($A' i$, $B' i$, $C' i$, $D' i$) が (0, 1, 0, 0) の場合、

出力 b_i から電圧振幅が $W_{10} = (4.2 \text{ V} \pm \text{補正電圧})$ で、高レベル期間が 50 ns のシングルパルスが発生する。 (A'_i, B'_i, C'_i, D'_i) が $(0, 0, 0, 1)$ の場合、N型MOSトランジスタがオンとなり 0 V が出力される。このシングルパルスを可変抵抗素子 70 に印加し書き込みを行う。

【0050】

図17は、書き込み電圧発生回路8を示す回路ブロック図である。書き込み電圧発生回路8は、#1から#3までの3つのパルス電圧発生回路ユニット80を備えて構成されている。図18はパルス電圧発生回路ユニット80を示す回路図である。各パルス電圧発生回路ユニット80は、DAC（デジタルアナログコンバータ）81、加減算器82、書き込みパルス理想電圧入力データ記憶手段83、書き込みパルス補正電圧入力データ記憶手段84、パルス電圧発生回路ユニット制御手段85、演算手段86、記憶手段87より構成されている。書き込み電圧生成回路8は、カラム・デコーダ6にて選択された各ビット線夫々に印加する書き込みパルス基準電圧を生成するものである。1つのメモリセルには4値データを記憶させるので、各記憶データに対応して4種類の書き込みパルスの電圧振幅 W_{00} , W_{01} , W_{10} , W_{11} を生成するが、本実施の形態では、4種類の書き込み電圧の内の1つは消去状態を維持するため、電圧振幅 $W_{00} = 0 \text{ V}$ （接地電位）とするので、3種類の電圧振幅、即ち、 $W_{11} = 5 \text{ V}$ 、 $W_{10} = 4.2 \text{ V}$ 、 $W_{01} = 3.5 \text{ V}$ の3つの書き込みパルス基準電圧を生成する回路を備えている。DAC81は、デジタル入力データに基づきアナログ電圧を出力する。出力された各電圧信号は、書き込みパルス発生回路3に入力される。

【0051】

パルス電圧発生回路ユニット80には、比較・判定回路8から比較判定結果に基づく制御信号が入力される。書き込みパルス理想電圧入力データ記憶手段83は、書き込み電圧のセンター電圧値を記憶する。記憶データは、予め電源投入後の初期設定ルーチンやマスクROM等にて記憶されており、データは変更されることがない。書き込みパルス補正電圧入力データ記憶手段84は、書き込み電圧が高い或は低い場合に実際に出力する電圧をセンター値から補正するための補正データを記憶する手段である。加減算器82は、前記2種類のデータを加減算し

て D A C 8 1 に入力するデータを算出する。パルス電圧発生回路ユニット制御手段 8 5 は、比較判定回路から入力される信号をもとに、パルス電圧発生回路ユニット 8 0 を制御する。制御には、書き込み電圧の加減指示、書き込みの中止指示、入力される指示情報の記憶司令などを行う。演算手段 8 6 は、パルス電圧発生回路ユニット 8 0 の指示に対応して、新たな書き込みパルス補正電圧入力データを演算する。記憶手段 8 7 は、入力された指示情報や演算結果を一次記憶するためのものである。各パルス電圧発生回路ユニット 8 0 は、5 V ± 補正電圧、4 . 2 V ± 補正電圧、3 . 5 V ± 補正電圧のアナログ信号を夫々出力する。

【 0 0 5 2 】

書き込みが行われた可変抵抗素子 7 0 は、図 6 に示す動作原理に従ってビット線にデータを読み出すが、読み出した時の電圧は書き込みパルスの電圧振幅（つまり書き込みデータ）に応じた所定の値に対し一定のバラツキを生じる。

【 0 0 5 3 】

図 1 9 は、4 値の書き込みデータに対応した読み出し電圧の分布状態を示している。読み出し電圧が 4 つの電圧範囲 0 ～ 3 の何れに属するかを比較・判定回路 4 で判定し、記憶データを 2 ビットデータにエンコードする。即ち、読み出し電圧が、電圧範囲 0 ～ 3 の何れにかあることを判定し、記憶データを「0 0」、「0 1」、「1 0」または「1 1」にエンコードする。

【 0 0 5 4 】

比較・判定回路 4 は、メモリセルアレイ 8 内のメモリセルからビット線 7 2 に読み出されたデータが、多値レベルのどのデータ値であるかを比較・判定する回路である。通常の読み出し回路ではなく、書き込み検証用回路である。図 2 0 は、比較・判定回路 4 の一例を簡易的に示す回路図である。一つの可変抵抗素子 3 0 の読み出しに対し、コンパレータ 9 1（S A j、j = 1 ～ 6）及びリファレンス電圧生成用の抵抗 9 2（R r e f j、j = 1 ～ 6）を接続し、6 つ比較結果（コンパレータ 9 1 の出力）を全てエンコード回路 9 3 と判定回路 9 4 に入力する。エンコード回路 9 3 では、6 つ比較結果から得られる読み出し電圧に応じて「0 0」、「0 1」、「1 0」または「1 1」の何れかの信号にエンコードする。読み出し電圧が図 1 9 に示す電圧範囲 0 ～ 3 の範囲外では、例えば、R L 2 L よ

りも低く R L 1 H よりも高い状態では、その読み出し電圧は一意的にエンコードされない。この例では、電圧振幅 W 1 0 または W 0 1 の何れかの書き込みパルスで書き込まれた場合に起こり得る。この場合は、判定回路で書き込み電圧を更に増加すべきか、減少すべきかを判定する。電圧振幅 W 1 0 で書き込んだ場合は、書き込みが不十分であるので、書き込み電圧を上昇させる判定信号を生成し、書き込み電圧発生回路 8 に出力する。これを受けて書き込み電圧発生回路 8 は、書き込みパルスの電圧振幅を補正し、高い電圧振幅の書き込みパルスで再書き込みを行う。この動作は、読み出し電圧が電圧範囲 2 に収まるまで繰り返される。

【0055】

図 20 において、N 型 MOS トランジスタの負荷トランジスタ T N 1, T N 2 は、読み出し時はオン、非読み出し時はオフである。また、読み出し電圧は読み出し電圧発生回路 9 5 から発生される。読み出し電圧は可変抵抗素子 7 0 に印加されても可変抵抗素子 7 0 の抵抗値が変化しない、つまり、記憶データがディスタートされない程度の低電圧であることが必要で、本実施の形態ではビット線 7 2 に 1.0 V を印加する。

【0056】

尚、上記各実施の形態において、書き込み動作、消去動作、読み出し動作の各動作における、ワード線 7 1、ビット線 7 2、ソース線 7 4 に印加する電圧振幅、その極性、パルス幅（印加時間）は、使用する R R A M 素子の特性に依存して決定されるべきものであり、上記の各電圧値、パルス幅は例示であり、上記各実施の形態の電圧値等に限定されるものではない。

【0057】

【発明の効果】

以上、本発明によれば、マンガンを含有するペロブスカイト構造の酸化物で形成され、電圧パルスの印加により電気抵抗が変化し、且つ、前記電圧パルスの電圧振幅の大小により前記電気抵抗の変化量が異なる可変抵抗素子をメモリ素子として備えた不揮発性メモリ装置は、3 値以上の多値データを記憶することができる。このときの書き込み電流は、書き込みパルスの電圧振幅の最大値が 5 V、選択トランジスタのオン抵抗を含む可変抵抗素子の最小抵抗は 20 K Ω 程度である

ので、書き込み電流は1つの可変抵抗素子当たり $25\mu\text{A}$ 程度となる。OUMメモリが 1mA であるのに比べ大幅な低消費電流化が図れる。また、図7または図8に示した抵抗-電圧特性の抵抗変化率の大きな領域（第2領域）を選んで書き込みパルスの電圧振幅を選んだので、読み出しデータの誤読み出しを回避することができる。即ち、低消費電力の書き込み動作ができ、読み出しが容易な多値データ記憶に好適な不揮発性メモリ装置を提供することができる。更に、本発明に係る多値不揮発性メモリ装置のメモリ素子は特性の異なる複数の材料よりなる多層構造にする必要もないので、製造等も容易である。

【図面の簡単な説明】

【図1】

本発明に係る不揮発性メモリ装置の一実施の形態を示す機能ブロック構成図

【図2】

本発明に係る不揮発性半導体記憶装置のメモリセルアレイの構成例を示す回路ブロック図

【図3】

本発明に係る不揮発性メモリ装置の動作説明用の 2×2 のメモリセル構成を示す回路図

【図4】

本発明に係る不揮発性メモリ装置のメモリセルの書き込み動作を行うときの電圧パルスの印加状態を示す図

【図5】

本発明に係る不揮発性メモリ装置のメモリセルの消去動作を行うときの電圧パルスの印加状態を示す図

【図6】

本発明に係る不揮発性メモリ装置のメモリセルの読み出し動作を行うときの電圧印加状態を示す図

【図7】

本発明に係る不揮発性メモリ装置に用いる可変抵抗素子の両端に印加する書き込みパルスの電圧振幅と可変抵抗素子の電気抵抗の関係を示す特性図

【図 8】

本発明に係る不揮発性メモリ装置に用いる可変抵抗素子の両端に印加する書き込みパルスの電圧振幅と可変抵抗素子の電気抵抗の関係を示す特性図

【図 9】

本発明に係る不揮発性メモリ装置に用いる可変抵抗素子の電気抵抗の抵抗変化率特性を示す特性図

【図 10】

本発明に係る不揮発性メモリ装置に用いる可変抵抗素子の両端に印加する書き込みパルスのパルス幅と可変抵抗素子の電気抵抗の関係を示す特性図

【図 11】

本発明に係る不揮発性メモリ装置の入力レベル検出回路の一例を示す回路ブロック図

【図 12】

図 12 に示す入力レベル検出回路に用いる入力レベル検出回路ユニットの一例を示す回路図

【図 13】

本発明に係る不揮発性メモリ装置の書き込みデータラッチ回路の一例を示す回路ブロック図

【図 14】

図 13 に示す書き込みデータラッチ回路に用いる書き込みデータラッチ回路ユニットの一例を示す回路ブロック図

【図 15】

本発明に係る不揮発性メモリ装置の書き込みパルス発生回路の一例を示す回路ブロック図

【図 16】

図 15 に示す書き込みパルス発生回路に用いる書き込みパルス発生回路ユニットの一例を示す回路ブロック図

【図 17】

本発明に係る不揮発性メモリ装置の書き込み電圧発生回路の一例を示す回路ブ

ロック図

【図 1 8】

図 1 7 に示す書き込み電圧発生回路に用いるパルス電圧発生回路ユニットの一例を示す回路ブロック図

【図 1 9】

本発明に係る不揮発性メモリ装置の 4 値の書き込みデータに対応した読み出し電圧の分布状態を模式的に示す説明図

【図 2 0】

本発明に係る不揮発性メモリ装置の比較・判定回路の一例を示す回路ブロック図

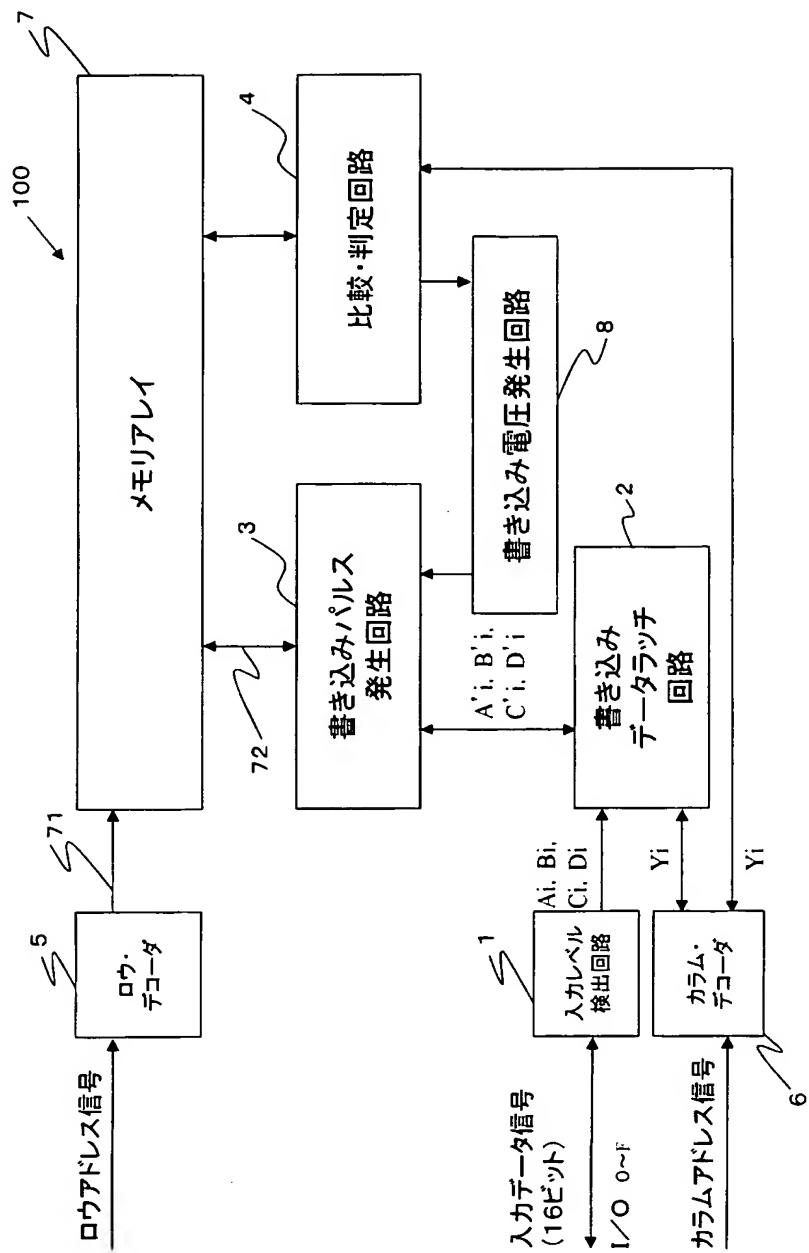
【符号の説明】

- 1 0 0 : 本発明に係る不揮発性メモリ装置
- 1 : 入力レベル検出回路
- 2 : 書き込みデータラッチ回路
- 3 : 書き込みパルス発生回路
- 4 : 比較判定回路
- 5 : ロウ・デコーダ
- 6 : カラム・デコーダ
- 7 : メモリセルアレイ
- 8 : 書き込み電圧発生回路
- 1 0 : 入力レベル検出回路ユニット
- 2 0 : 書き込みデータラッチ回路ユニット
- 2 1 : 書き込みデータラッチ回路サブユニット
- 3 0 : 書き込みパルス発生回路ユニット
- 3 1 : 書き込みパルス発生回路サブユニット
- 3 2 : 第 1 シングルパルス発生回路
- 3 3 : 第 2 シングルパルス発生回路
- 7 0 : 可変抵抗素子
- 7 1 : ワード線

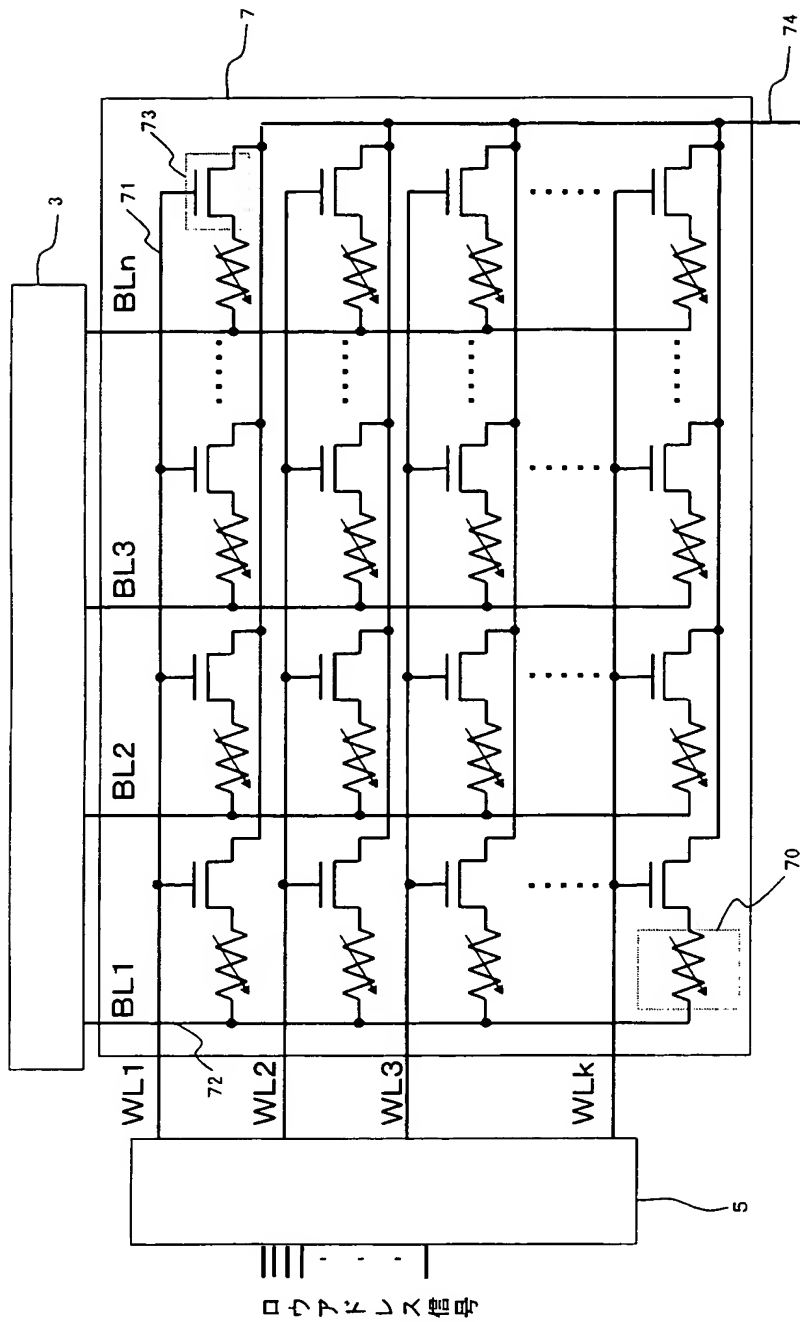
- 72： ビット線
- 73： 選択トランジスタ
- 74： ソース線
- 80： パルス電圧発生回路ユニット
- 81： DAC（デジタルアナログコンバータ）
- 82： 加減算器
- 83： 書き込みパルス理想電圧入力データ記憶手段
- 84： 書き込みパルス補正電圧入力データ記憶手段
- 85： パルス電圧発生回路ユニット制御手段
- 86： 演算手段
- 87： 記憶手段
- 91： コンパレータ
- 92： 読み出しリファレンス電圧生成用の抵抗
- 93： エンコーダ回路
- 94： 判定回路
- 95： 読み出し電圧発生回路

【書類名】 図面

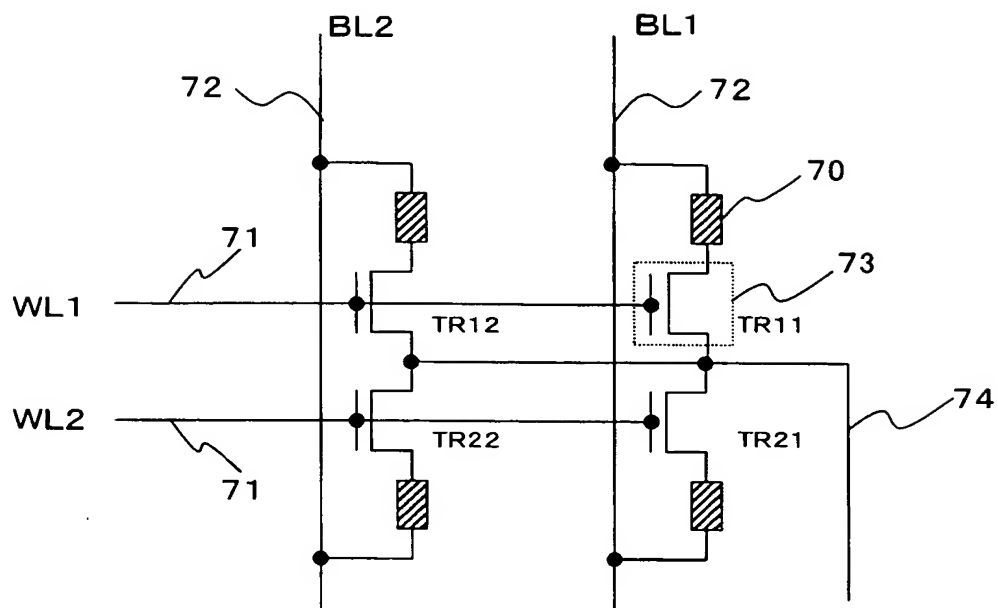
【図 1】



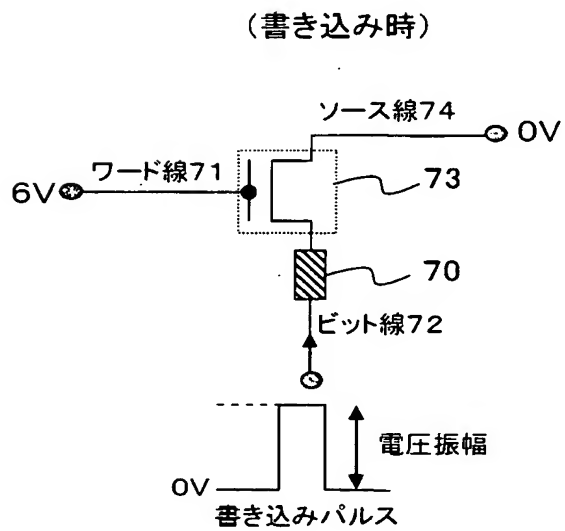
【図 2】



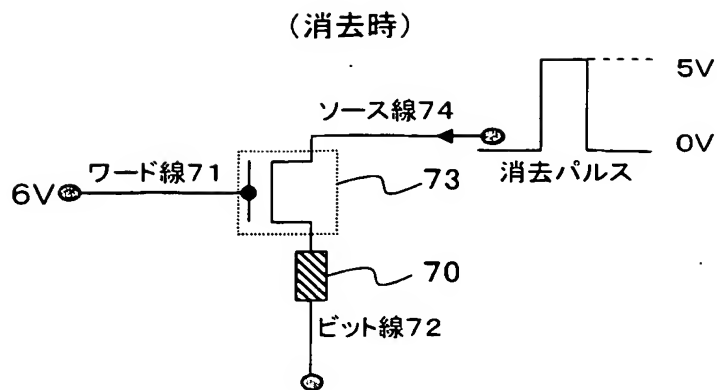
【図 3】



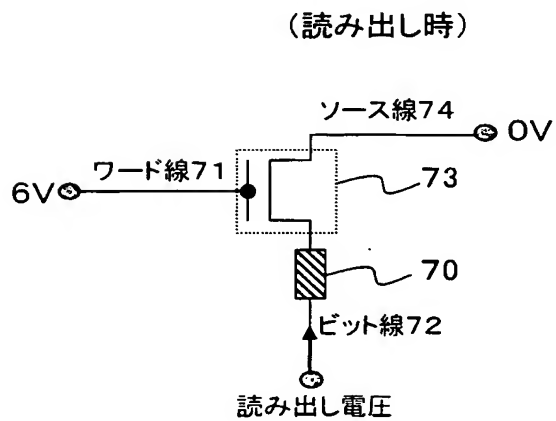
【図 4】



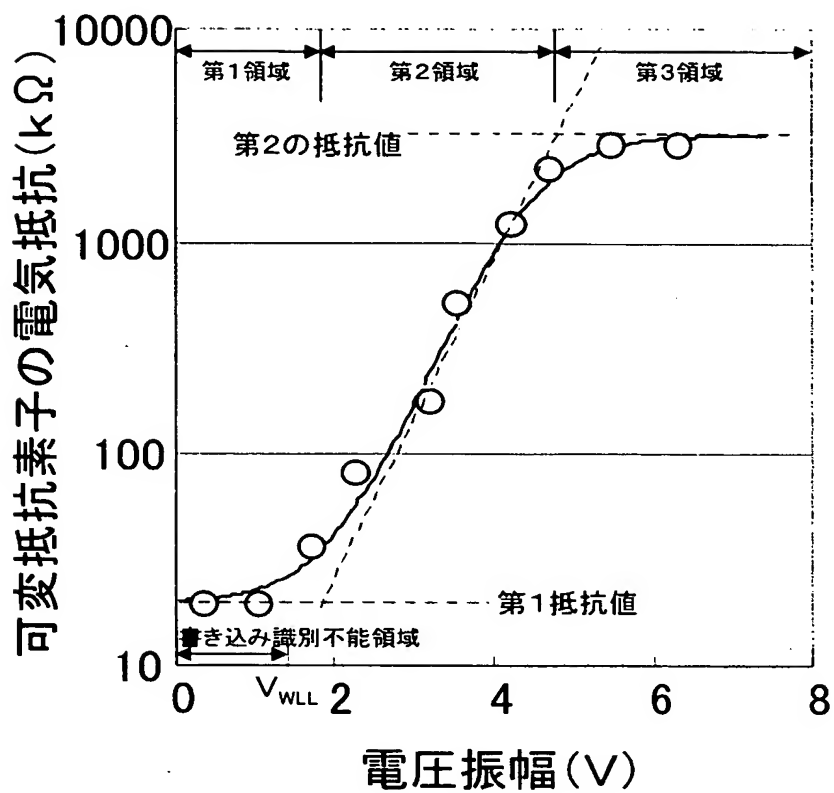
【図 5】



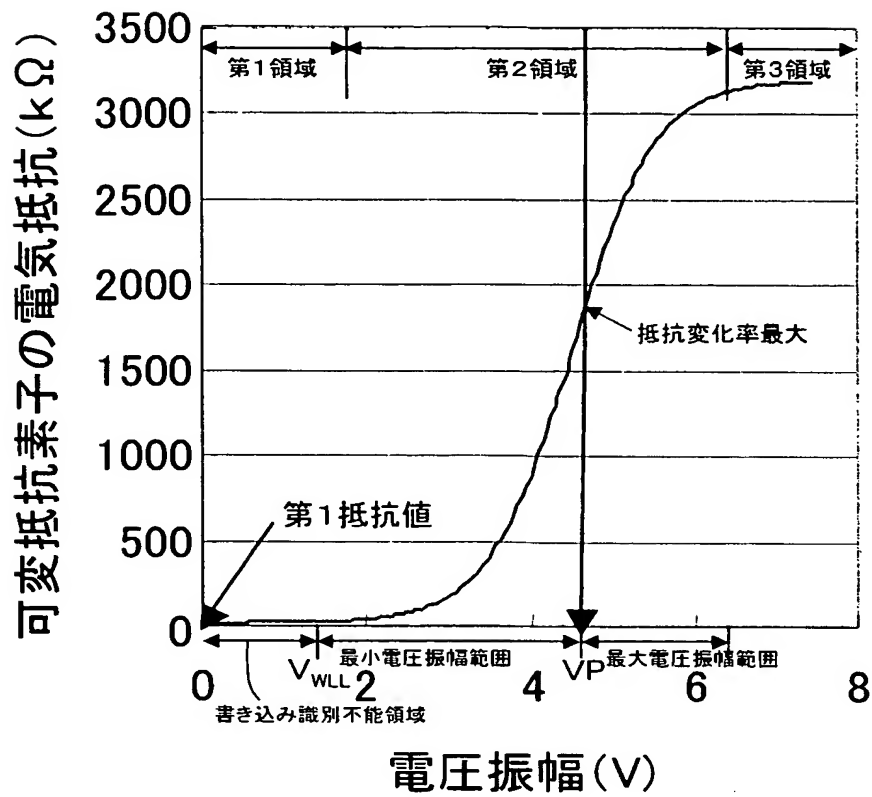
【図 6】



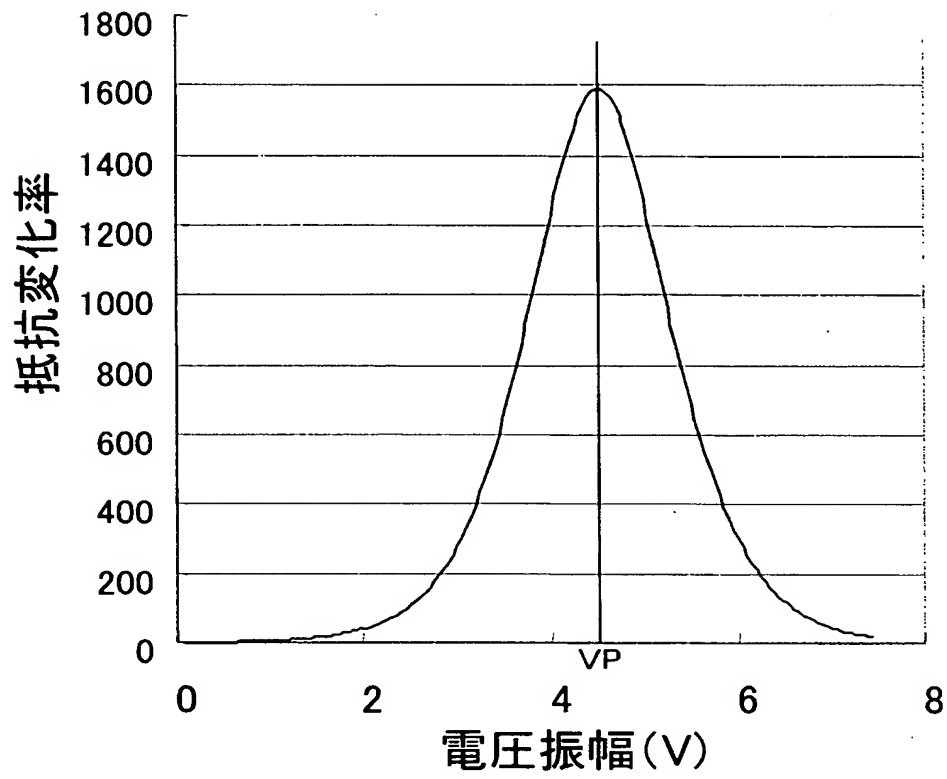
【図 7】



【図 8】

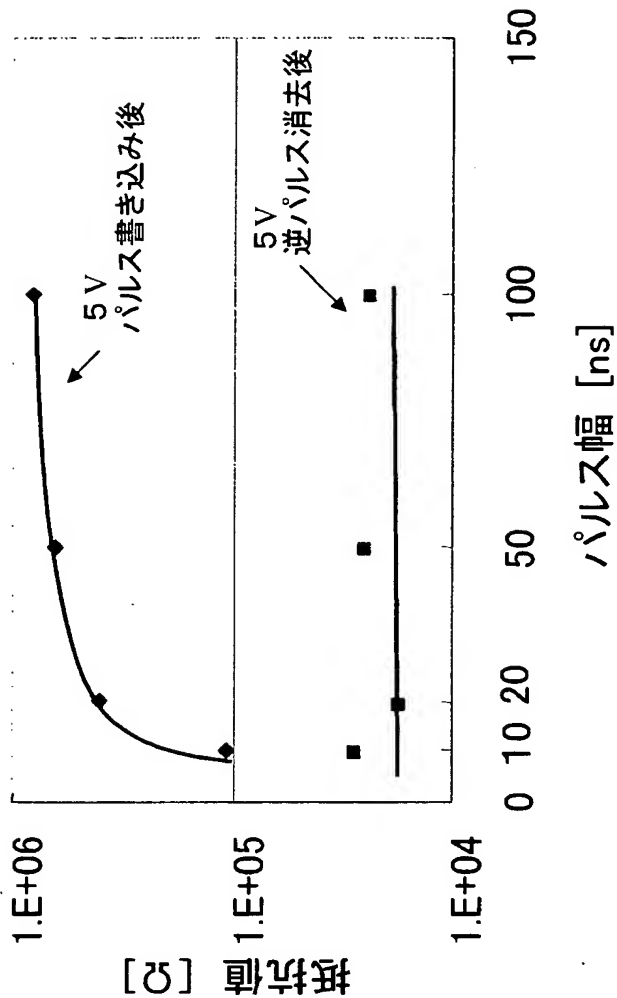


【図 9】

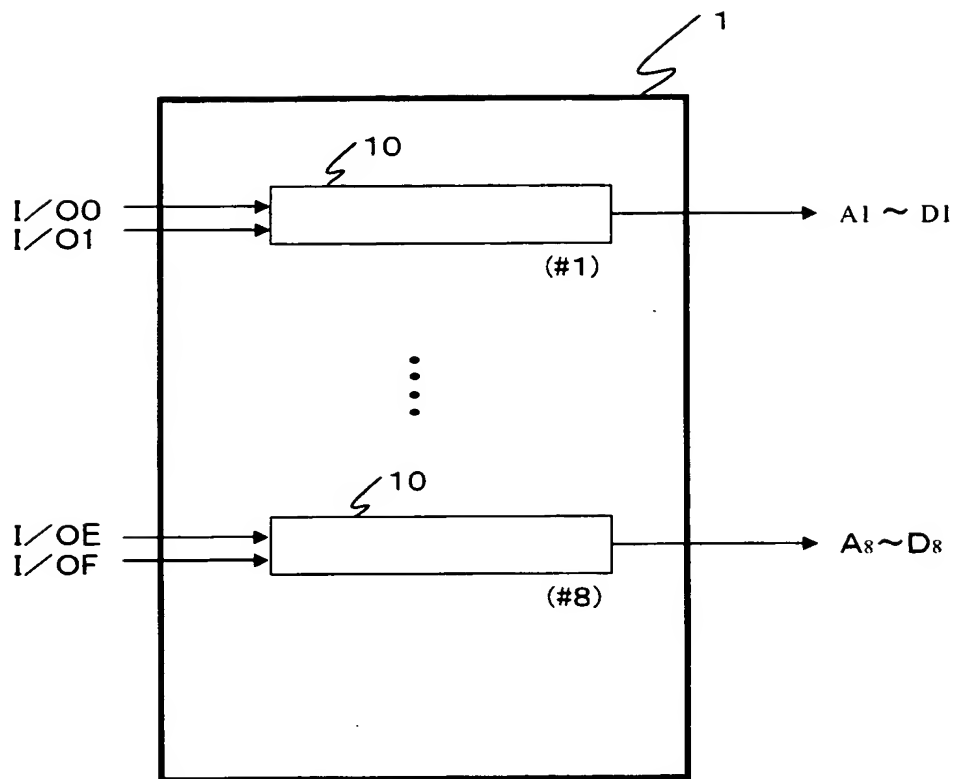


【図 10】

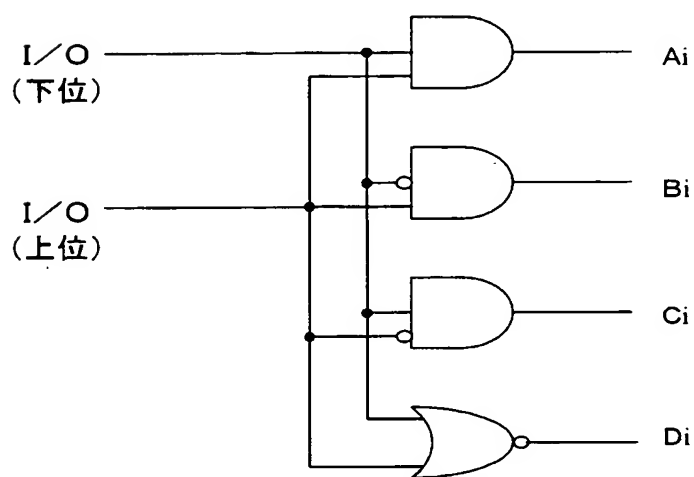
書き込みパルス振幅: 5V
リセットパルス振幅: 5V



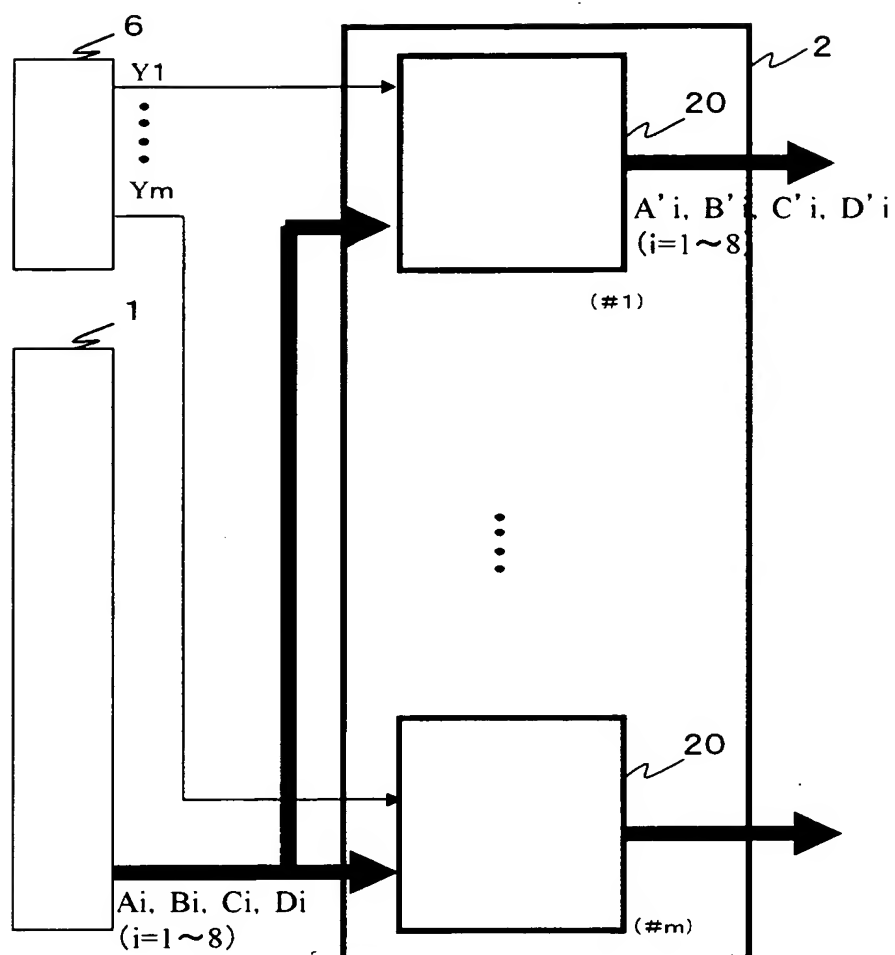
【図 1 1】



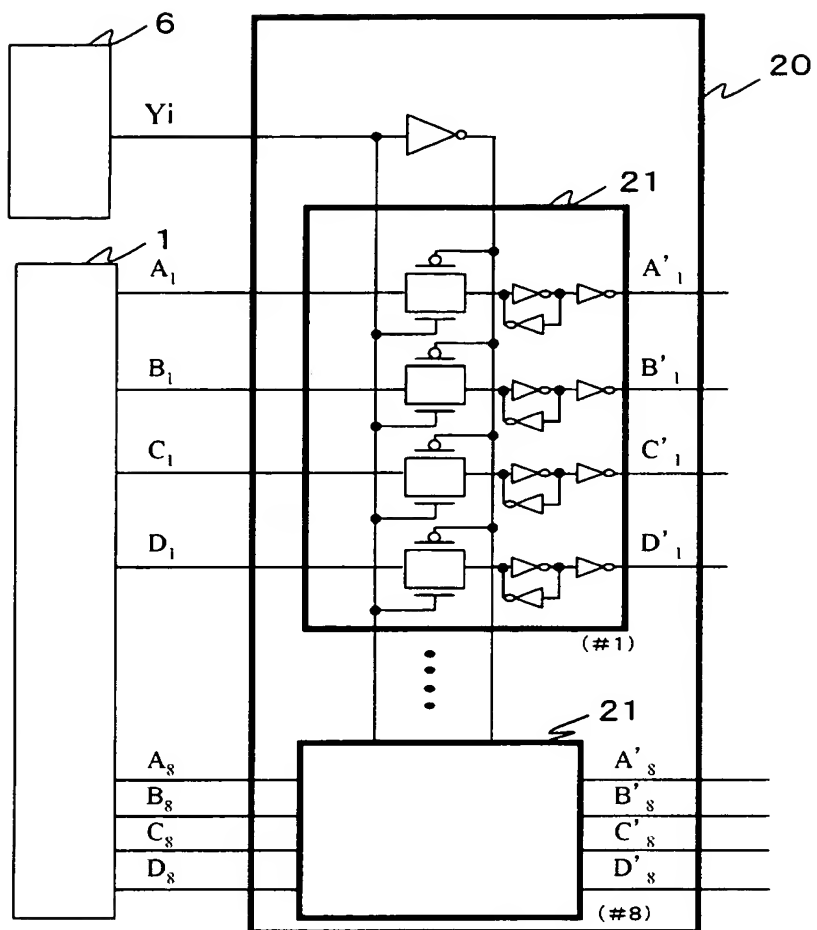
【図 1 2】



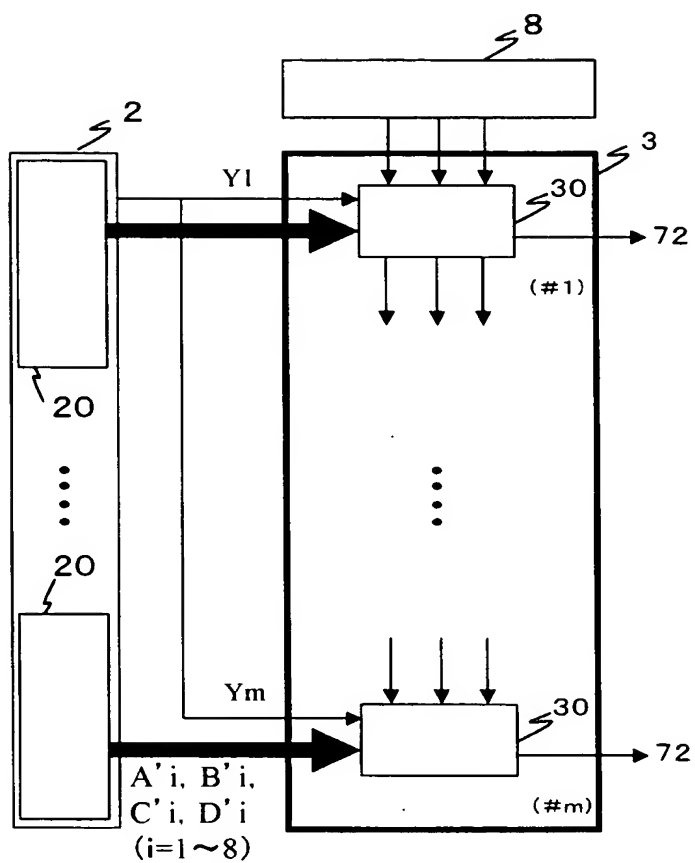
【図 13】



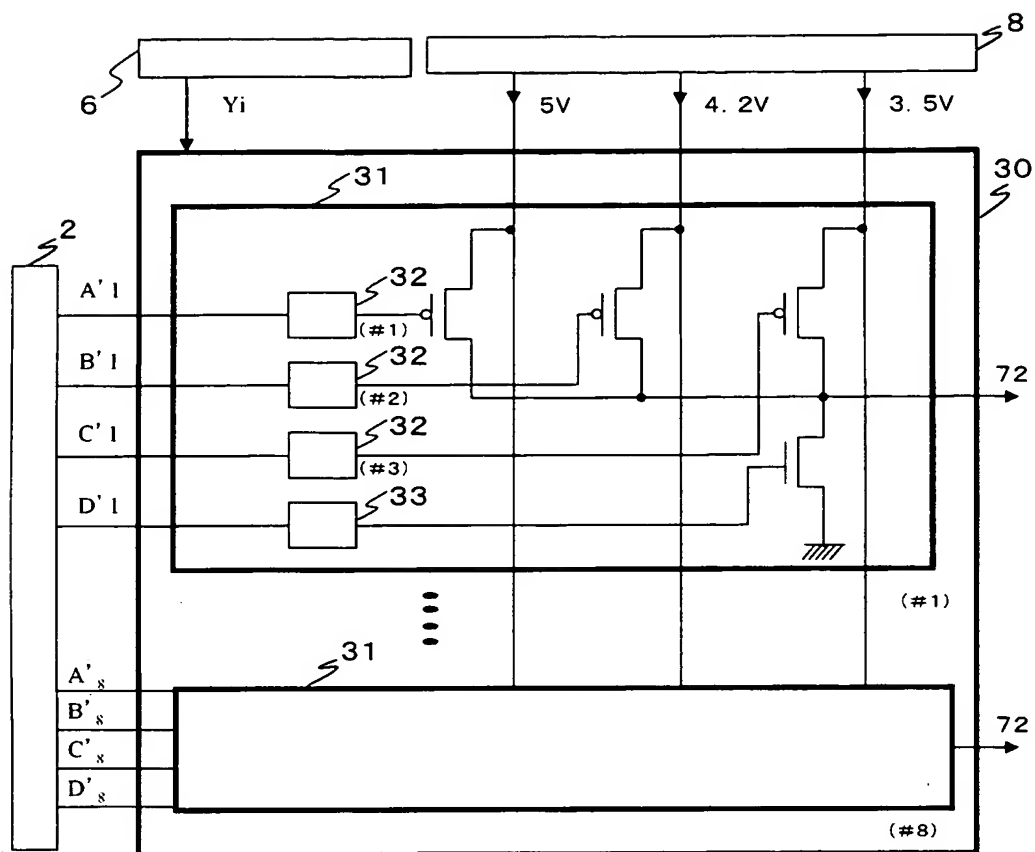
【図 14】



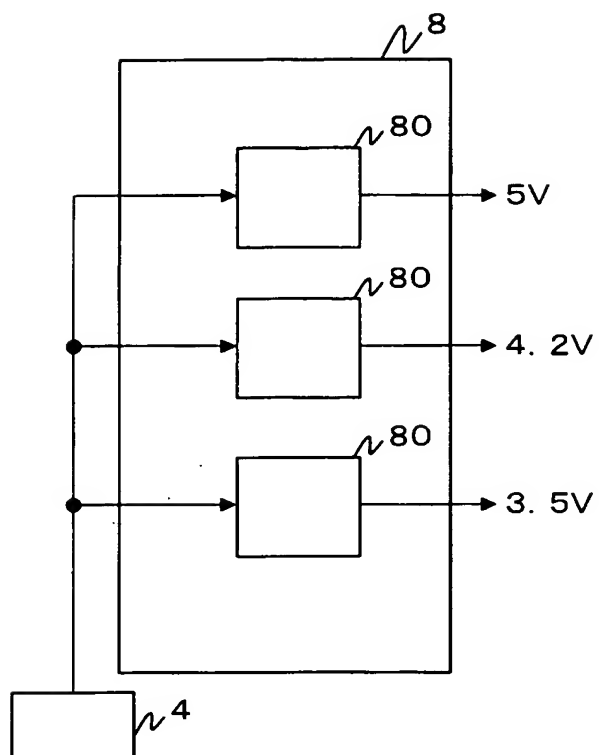
【図 15】



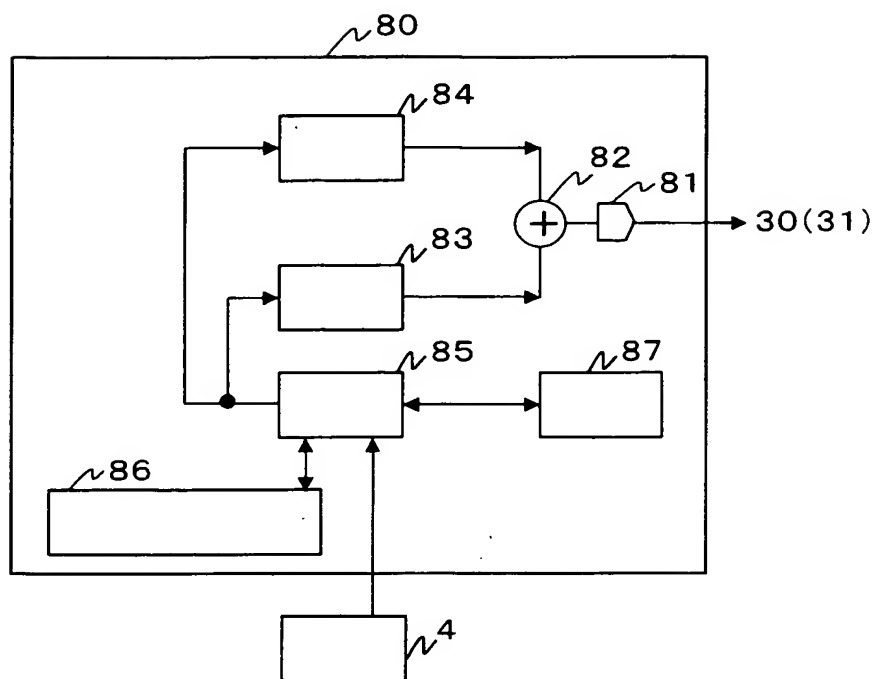
【図 16】



【図 17】

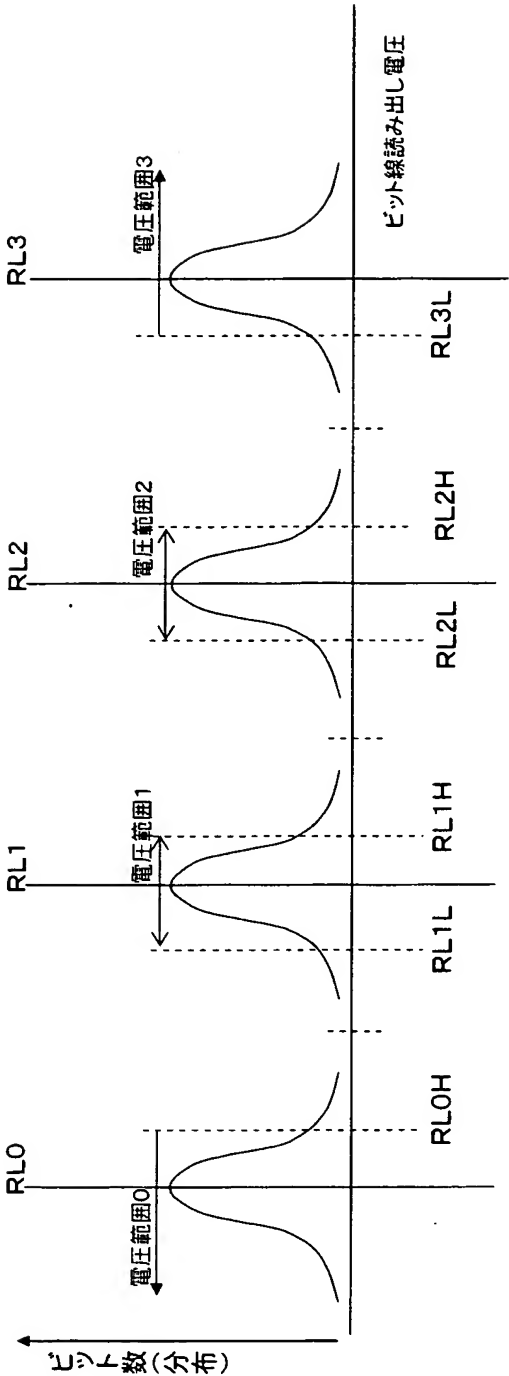


【図 18】

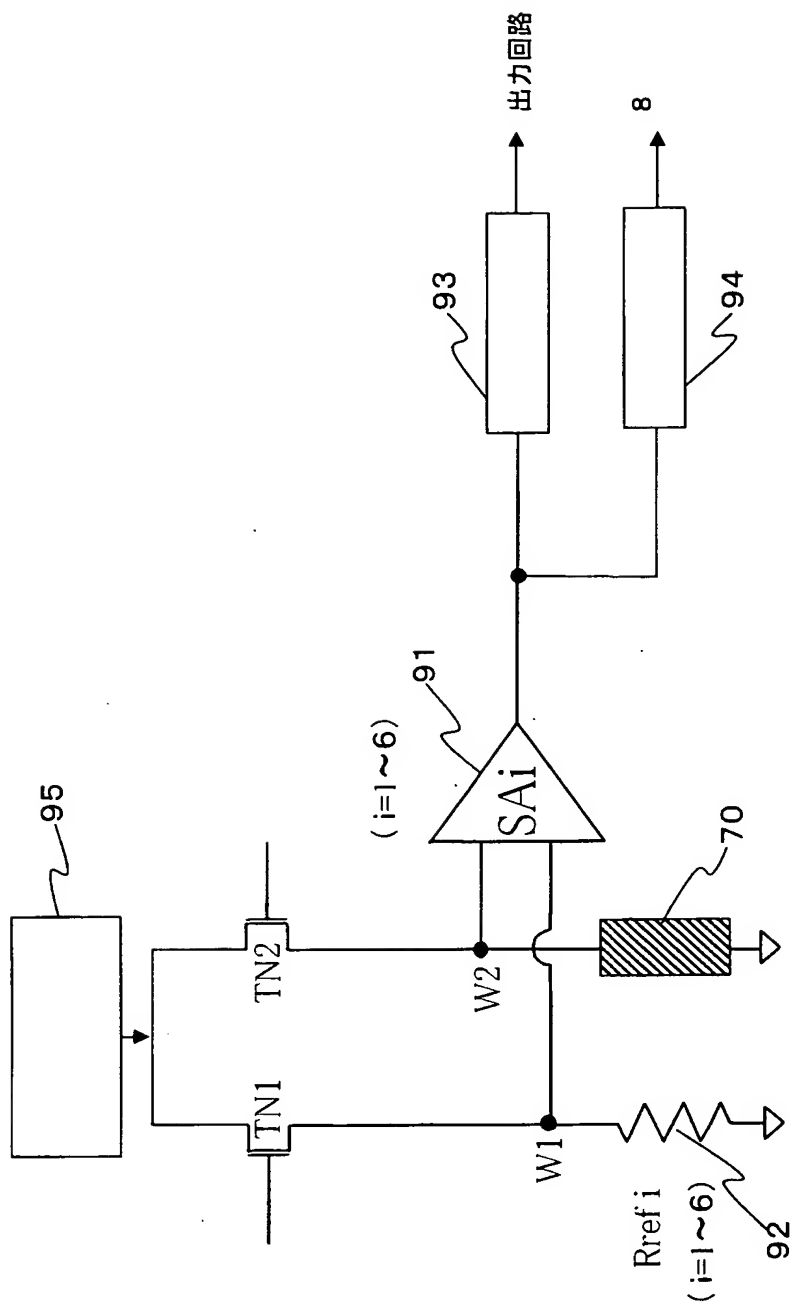


【図 1 9】

$RL0 < RL1 < RL2 < RL3$



【図 20】



【書類名】 要約書

【要約】

【課題】 大容量で且つ高速動作可能な不揮発性メモリ装置を提供する。

【解決手段】 マンガンを含有するペロブスカイト構造の酸化物で形成され、電圧パルスの印加により電気抵抗が変化し、且つ、電圧パルスの電圧振幅の大小により電気抵抗の変化量が異なる可変抵抗素子 7 0 を備えて構成されたメモリセルをマトリクス状に複数配列してなるメモリセルアレイ 7 と、1つの消去状態と 2 以上の書き込み状態に対応する 3 値以上の多値データを可変抵抗素子 7 0 に書き込むために、書き込み状態に対応する 2 以上の異なる電圧振幅の書き込みパルスを、書き込みデータに応じて各別に発生可能な書き込みパルス発生回路 3 と、を備えてなる。

【選択図】 図 2

特願 2 0 0 2 - 3 5 3 7 3 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社